

(9)

⑨ 日本国特許庁 (JP)
⑩ 公表特許公報 (A)

⑪ 特許出願公表
昭57—501105

⑫ Int. Cl.³
H 03 H 19/00

識別記号

庁内整理番号
8124—5 J

⑬ 公表 昭和57年(1982)6月24日

部門(区分) 7(3)
審査請求 未請求

(全 4 頁)

⑭ スイッチ動作されるコンデンサを有する余弦フィルタ

⑮ 特 願 昭56—501996
⑯ 出 願 昭56(1981)5月21日
⑰ 翻訳文提出日 昭57(1982)1月29日
⑱ 国際出願 PCT/US81/00728
⑲ 国際公開番号 WO 81/03587
⑳ 国際公開日 昭56(1981)12月10日
㉑ 優先権主張 ㉒ 1980年5月29日 ㉓ 米国(US)
㉔ 154573
㉕ 発 明 者 グレゴリアン・ルービツク
アメリカ合衆国カリフォルニア95050サ
ンタ・クララ・シヨアサイド・コート23
82

㉖ 発 明 者 鈴木トシロウ
八王子市コヤス2—32日立アパートメン
ト・デー—206
㉗ 出 願 人 アメリカン・マイクロシステムズ・イン
コーポレイテッド
アメリカ合衆国カリフォルニア95051サ
ンタ・クララ・ホームステッド・ロード
3800
㉘ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5番1号
㉙ 代 理 人 弁理士 小橋一男 外1名
㉚ 指 定 国 DE(広域特許), FR(広域特許), GB
(広域特許), JP, NL(広域特許), SE
(広域特許)

11

請求の範囲

1. エイリアシングを回避する為にサンプリング周波数の周辺に於ける入力アナログ信号の外来的周波数成分を抑圧可能なサンプルーデータシステムに使用する余弦フィルタに於いて、前記フィタが、入力リード線に接続された負端子と接地接続された正端子と出力リード線とを有する演算増幅器を具備し、アナログ信号源と前記演算増幅器の前記入力リード線に接続可能なスイッチ動作されるコンデンサを有する入力回路網を具備し、前記回路網が第1コンデンサを有すると共に2つの交番クロックによって制御されるスイッチ手段とを有し1つおきごとのクロック周期に於いて前記第1コンデンサ上の全電荷が積換する半周期に於ける入力電圧の和であり、第1フィードバックリード線と第2フィードバックリード線を有するフィードバック回路網を具備し、前記第1フィードバックリード線は前記演算増幅器の前記入力リード線と出力リード線との間に設けられた2番目のコンデンサの両端側に接続されており、前記第2フィードバックリード線は前記第1フィードバックリード線と並列接続されると共に、前記2つの交番クロックの少くとも一方によって制御されるスイッチ手段を有するフィルタ。

2. 請求の範囲第1項に記載した余弦フィルタに

12

於いて、前記入力回路網の前記スイッチ手段が前記アナログ信号源と前記演算増幅器の入力リード線との間に直列接続された第1及び第2 MOSFET スイッチを有すると共に前記アナログ信号源と接地との間に直列接続された第3及び第4 MOSFET スイッチを有し、前記第1コンデンサが前記第1及び第2スイッチとの間にある節点に接続された上側プレートとを有すると共に前記第3及び第4スイッチの間にある節点に接続された下側プレートを有し、前記第1及び第4スイッチは第1フェーズクロックに接続されたゲート電極を有しており且つ前記第2及び第3スイッチは交互的な第2フェーズクロックに接続されたゲート電極を有しているフィルタ。

3. 請求の範囲第1項に記載した余弦フィルタに於いて前記フィードバック回路網の前記スイッチ手段がゲート電極をフェーズ1クロックに接続した単一の MOSFET 装置を有しているフィルタ。

4. 請求の範囲第1項に記載した余弦フィルタに於いて、前記フィードバック回路網の前記スイッチ手段が前記第2フィードバックリード線上に直列接続された一対の MOSFET スイッチを具備し、且つ前記一対の MOSFET スイッチ間に接続された上側プレートを有すると共に接地接続された下側プレートを有する第3コンデンサを具備するフィルタ。

1
明 細 書
スイッチ動作されるコンデンサを
有する余弦フィルタ

ルービックグレゴリアン及びトシロウ鈴木

発明の背景

本発明はサンプラードータシステム用の電子フィルタ回路に関するものであって、更に詳細には、スイッチ動作されるコンデンサを有するタイプのフィルタに対する前置フィルタ乃至は余弦フィルタに関するものである。

入力信号周波数 (F_i) がサンプリング乃至はクロック周波数 (F_c) を含むか又はそれに近接している範囲内にあるサンプラードータシステム乃至は装置に於いて、 $(F_c - F_i)$ 成分及び $(F_c + F_i)$ 成分のスペクトルを有する信号の重要又はエイリアシング (aliasing) によって擬似的な周波数が発生される。電荷結合素子 (CCD) を使用する回路に関するこの様な問題に対する一つの提案された解決方法が I E E E ジャーナル オブ ソリッドステイト サーキッツ (I E E E Journal of Solid State Circuits), SC-12巻, No 6, 1977年12月版に記載されている。しかしながら、そこに提案されている回路及び CCD 装置を有する構成は比較的複雑であり、本発明の以前に於いては

2 特表昭57-501105

同一の問題が存在していた金属-酸化物-シリコン (MOS) 装置を使用し且つスイッチ動作されるコンデンサを有するフィルタを使用した回路に適用することは不可能である。

スイッチ動作されるコンデンサを有するフィルタは所定の割合でアナログ入力信号をサンプリングするサンプラードータシステムである。この場合に信号が帯域制限されていない場合には、サンプリング周波数の周辺に於ける全ての成分が基本帯域内に折り返されて、前述したエイリアシングの問題を生じさせる。 (F_s) でクロック動作されスイッチ動作されるコンデンサを有する低域フィルタに於いては、 (F_p) を通過帯域端とした場合にアナログ前置フィルタによって入力信号を $(F_s - F_p)$ に帯域制限する必要がある。 (F_s) が低い場合には、複雑なアナログ前置フィルタが必要とされる場合がある。しかしながら、フィルタの前に余弦フィルタを設けた場合には、入力信号は外部的に $2F_s - F_p$ に帯域制限され、従って外部的なアナログ反エイリアシングフィルタに関する条件を 2 倍の程度緩和させる。従って、前述した余弦フィルタ機能を与える様なスイッチ動作されるコンデンサを有するフィルタと適合性のある回路を設けることが必要となった。

3

発明の簡単な要約

前述した問題は外部的な前置フィルタに関する条件を 2 倍の程度緩和するか、又は 2 個の余弦フィルタを使用した場合にはその条件を 4 倍程度緩和することも可能な、実際のフィルタの前に余弦フィルタを付加することによって解決される。単一の余弦フィルタに対しては、使用されるクロック信号は尚且つ (F_s) であるが、信号は $(2F_s)$ でサンプリングされる。本発明に基づく余弦フィルタ回路は、演算増幅器を有し、該演算増幅器の負入力端は入力信号に接続されており、該入力端はフィードバックコンデンサを介して演算増幅器出力端からのフィードバック信号及び交番クロックフェーズによって制御される 4 個の MOSFET スイッチ回路網によって制御されるスイッチ動作される入力コンデンサを介して入力信号を受け取る。本回路の伝達関数はそれに次級するフィルタのサンプリング周波数に於いてゼロの伝達を与える。従って、余弦フィルタはサンプリング周波数 (F_s) の周辺に於いて入力アナログ信号の外来的な周波数成分を抑圧するという重要な機能を与えるものであり、従ってエイリアシングの問題を回避している。本発明の典型例に於いては、演算増幅器のフィードバック部に 3 番目のスイッチ動作されるコンデンサを付加することによって本余

4

弦フィルタが独立したスイッチ動作されるコンデンサを有する余弦フィルタを構成している (また、その出力端はサンプリング周波数に於いてゼロを与える)。

本発明のその他の目的、利点及び特徴は図面に即して記載された本発明の一実施例に関する以下の記載から明らかになるものである。

図面の簡単な説明

第 1 図は本発明に基づくスイッチ動作されるコンデンサを有する余弦フィルタの回路図である。

第 1a 図は第 1 図の回路に使用する交番クロックに関するタイミング線図である。

第 2 図は本発明に基づく独立したスイッチ動作されるコンデンサを有する余弦フィルタの回路図である。

第 2a 図は第 2 図の回路に使用される交番クロックに関するタイミング線図である。

実施例の詳細な説明

図面に關し説明すると、第 1 図は本発明の原理を具体化したスイッチ動作されるコンデンサを有する余弦フィルタ乃至は前置フィルタ 10 を示している。簡単に説明すると、本回路は、演算増幅器 12 を有

しており、その正端子は接地接続されており、一方負入力端は入力節点14に接続されている。リード線16に於ける入力信号電圧 (V_{in}) はスイッチ動作されるコンデンサを有する回路網を介して節点14に接続されている。従って、リード線16はリード線18に接続されており、リード線18は一對のMOSFETスイッチ装置20と22のソース/ドレイン端子を相互接続しており、これらスイッチ装置を20及び22のゲートはそれぞれ交番するフェーズ1クロック (ϕ_1) 及びフェーズ2クロック (ϕ_2) に接続されている。MOSFET22はリード線24によって3番目のMOSFETスイッチ装置26に接続されており、スイッチ装置26の他方のソース/ドレイン端子は接地接続されると共にそのゲートはフェーズ1クロック (ϕ_1) に接続されている。同様に、MOSFET装置20はリード線28によって4番目のMOSFETスイッチ30に接続されており、スイッチ30の他方のソース/ドレイン端子は入力節点14に接続されると共にそのゲートはフェーズ2クロック (ϕ_2) に接続されている。リード線24と28との間に近接してリード線32が設けられており、(αC) の値を有するコンデンサ34の対抗プレート端子に接続されている。演算増幅器12はその出力 (V_o) リード線

38からコンデンサ40 (C の値を有する) を介して節点14に近接するフィードバックリード線36を有している。演算増幅器12の出力端と節点14との間の並列リード線42に於いてフェーズ1クロック (ϕ_1) にゲートが接続された5番目のMOSFETスイッチ44が設けられている。

本回路10がリード線16に供給される可変信号電圧 (V_{in}) に接続されているとした場合に、その動作は以下の如くなる。クロックフェーズ1 (ϕ_1) に於いて、演算増幅器12のフィードバックループに於けるコンデンサ40はスイッチ44の動作によってゼロに放電される。同時に、MOSFETスイッチ20と26とがフェーズ1 (ϕ_1) クロックで動作可能とされるのでコンデンサ34は入力電圧 $V_{in}(nT - T/2)$ に充電される。クロックフェーズ2 (ϕ_2) に於いて、入力 (V_{in}) はリード線18によってMOSFET22を介しコンデンサ34の下側プレートに直接供給される。同時に、MOSFETスイッチ30が閉じられて、コンデンサ34の上側プレートが入力節点14に接続されると共に演算増幅器12の非反転 (-) 入力端に接続される。従って、入力コンデンサ34に於ける電圧の全充電量は隣接する半周期に於ける入力電圧の和であって、フェーズ2 (ϕ_2) クロック周期の終端に

於ける演算増幅器12からの出力電圧は以下の如く与えられる。

$$V_o(n) = -\alpha [V_{in}(nT) + V_{in}(nT - T/2)]$$

すなわち、伝達関数は次式で与えられる。

$$H(z) = \frac{V_o(z)}{V_{in}(z)} = -\alpha (1 + z^{-1/2})$$

本フィルタの周波数応答は次式で与えられる。

$$|H(\exp(j\omega t))| = -\alpha \sqrt{2 + 2\cos(\omega t)/2}$$

尚、 T は余弦フィルタに次級するフィルタのクロック周期である。

$\omega T/2 - \pi$ に対しては、 $H=0$ となる。これが意味することは、本余弦フィルタはそれに次級するフィルタのサンプリング周波数に於いてゼロの伝達を有するということである。コンデンサ34と40、とに介して適切な寸法を選択することによって、コンデンサ比 α の値を変化させて可変利得余弦フィルタを構成することが可能である。

第1図の回路は独立したフィルタではないが、別のスイッチ動作されるコンデンサを有するフィルタが得られる様な回路に於いてそのようなフィルタと結合して使用される前置フィルタとして構成されて

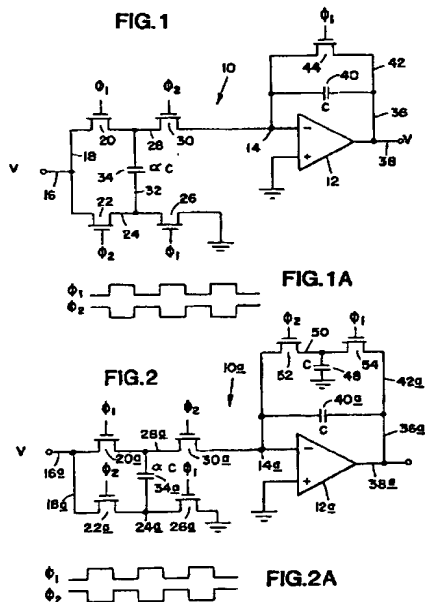
いる。回路10に比較的低かな修正を施すことによって、第2図に示した如く、独立したフィルタ弁別器である余弦フィルタ10aを構成することが可能である。この場合に於いても、スイッチ動作されるコンデンサを有する入力回路網の要素は回路10と同じである。かしながら、演算増幅器12aに対するフィードバック回路網に於いて、フィードバックリード線36aに於いて通常の保持コンデンサ40aに付け加えて別のコンデンサ48が設けられている。この付加的なコンデンサは一端子が接地接続されており他端子が2箇のMOSFETスイッチ52と54との間のリード線50に接続されており、これらのスイッチは並列フィードバックリード線42aと直列接続されている。これら後者のスイッチ装置52及び54のゲートは、それぞれ、クロックフェーズ2 (ϕ_2) 及びクロックフェーズ1 (ϕ_1) によって制御される。

第2図の回路の動作に於いては、コンデンサ40aと48とは同一の値 (C) を有する。最初のクロック周期に於いて、入力信号 (V_{in}) は一番めの入力コンデンサ34aを充電する。同時に、本回路の出力 (V_o) がフィードバックコンデンサ48によってサンプルされる。次いで、フェーズ2 (ϕ_2) クロック周期に於いて、入力コンデンサ34aの下

側プレートが入力信号に充電され、上側プレートが演算増幅器12aの反転(-)入力端に接続される。従って、入力コンデンサ34aに於ける電圧の全電荷は隣接するクロック半周期に於ける入力電圧の和であって、ここまでの動作は第1図の回路に於ける動作と同じである。しかしながら、コンデンサ48が接地接続されているのでスイッチング用フィードバックコンデンサ40aは接地電位に放電される。従って各クロック周期に於いて、固定コンデンサ40aに於ける従前の電荷はスイッチングフィードバックコンデンサ48によって相殺され、新しい現時点に於ける値が入力コンデンサ34aからの電荷によって決定される。従って、この乗数フィルタ10aは“独立”である。何故ならば、入力をサンプルしている各半クロック周期の間に於いて、乗数フィルタの出力端は両且つ従前のサンプル値を保持しているからである。従って、本回路は調整して接続される回路が別個のスイッチ動作されるコンデンサを有するフィルタとしての能力を有するものでない場合に好適なものである。

本発明が関与する当該技術に於ける当業者等にとって、本発明の構成に於ける種々の変更や著しく異なる実施例や運用例が本発明の精神及び範圍を逸脱することなしに容易に想到可能なものである。本

明細書に於ける開示及び記載は単に例示的なものであって、何等限定的な意図をもって成されたものではない。



国際調査報告

L. CLASSIFICATION OF SUBJECT MATTER (In some classification systems code, indicate 40) According to International Patent Classification (IPC) or to any national classification and IPC INT. CL. H03F 1/56; 1/58; H03F 17/16 17/56; H03H 1/02 US CL. 307/353, 520, 577, 583; 322/107			
B. FIELDS SEARCHED Minimum Documentation Searched:			
Classification System	Classification Symbols		
US	307/353, 520, 577, 578, 583, 584 330/107, 109; 328/167		
Documentation Searched other than Minimum Documentation to the extent that such Documentation is included in the Fields Searched:			
N. DOCUMENTS CONSIDERED TO BE RELEVANT:			
Category	Number of Documents, with indication, where appropriate, of the relevant passages	Reference to Claim No.	
X	US, A., 3,497,716, PUBLISHED 24 FEBRUARY 1970, SCHMID ET AL.	1,3,4	
A	US, A., 4,179,665, PUBLISHED 18 DECEMBER 1978, GREGORIAN		
X	N, IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL. SC 12 NO. 6 ISSUED DECEMBER 1977, SEE PP 592-599 "SAMPLED ANALOG FILTERING USING SWITCHED CAPACITOR AS RESISTOR ELEMENT" BY CAVES ET AL, SEE FIGS 1, 2 and 7b	1-4 FIG 7(b) FOR CL.3	
X	N, IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL. SC 12, NO. 6 ISSUED DECEMBER 1977, SEE PP 600-608, "HOS SAMPLED DATA RECURSIVE FILTERS USING SWITCHED CAPACITOR INTEGRATORS" BY HOSTICKA ET AL, SEE FIGS. 1-5	1-4	
* Special categories of cited documents:			
"X" document defining the general state of the art "A" document defining the general state of the art "C" document defining the general state of the art "I" document cited for specific reasons other than those referred to in the other categories "N" document defining the general state of the art "O" document defining the general state of the art "P" document defining the general state of the art "R" document defining the general state of the art "S" document defining the general state of the art "T" document defining the general state of the art "U" document defining the general state of the art "V" document defining the general state of the art "W" document defining the general state of the art "Y" document defining the general state of the art			
Date of the Actual Completion of the International Search		Date of Mailing of the International Search Report	
16 JULY 1981		29 JUL 1981	
International Searching Authority		Name of the International Searching Authority John S. Heyman	
ISA/US			